Musterlösungen

zu den Aufgaben der Klausur zum

Kurs 1701 „Grundlagen der Technischen Informatik“

und

Kurs 1707 „Technische Informatik I“

im Sommersemester 2000

vom 5.8.2000

Aufgabe 1: Schaltnetze analysieren

a)

Abb.1a) Zunächst wird mittels Abbildung 1a von S_n ausgehend jeder Gatterausgang der Schaltung als boolesche Gleichung aufgeschrieben. Durch einfaches Einsetzen und Umformen, wie in der folgenden ausführlichen Rechnung gezeigt, ergibt sich die Behauptung für Schaltung nach Abbildung 1a). (Zur Vereinfachung wird im folgenden der Index n weggelassen.)

$$S = \overline{Z_1} \wedge Z_2$$

$$Z_1 = Z_3 \wedge \ddot{U}$$

$$Z_2 = Z_3 \vee \ddot{U}$$

$$Z_3 = \overline{A \wedge B} \wedge Z_5$$

$$Z_5 = A \vee B$$

$$\begin{aligned} Z_3 &= \overline{A \wedge B} \wedge (A \vee B) = \left(\overline{A} \vee \overline{B}\right) \wedge (A \vee B) \\ &= \overline{A}A \vee \overline{A}B \vee A\overline{B} \vee B\overline{B} = \overline{A}B \vee A\overline{B} \\ &= 0 \vee A\langle + \rangle B \vee 0 \end{aligned}$$

$$Z_2 = A\langle + \rangle B \vee \ddot{U} = \overline{A}B \vee A\overline{B} \vee \ddot{U}$$

$$Z_1 = \left(\overline{A}B \vee A\overline{B}\right) \wedge \ddot{U} = \overline{A}B\ddot{U} \vee A\overline{B}\ddot{U}$$

$$\begin{aligned} S &= \overline{\left(\overline{A}B \vee A\overline{B}\right) \wedge \ddot{U}} \wedge \left(\overline{A}B \vee A\overline{B} \vee \ddot{U}\right) \\ &= \left(\overline{\overline{A}B \vee A\overline{B}} \vee \overline{\ddot{U}}\right) \wedge \left(\overline{A}B \vee A\overline{B} \vee \ddot{U}\right) \\ &= \left((A\langle - \rangle B) \vee \overline{\ddot{U}}\right) \wedge \left((A\langle + \rangle B) \vee \ddot{U}\right) \\ &= \left((A\langle - \rangle B) \wedge (A\langle + \rangle B)\right) \vee \left(\overline{\ddot{U}} \wedge (A\langle + \rangle B)\right) \vee \left((A\langle - \rangle B) \wedge \ddot{U}\right) \vee \left(\overline{\ddot{U}} \wedge \ddot{U}\right) \\ &= 0 \vee \left(\overline{\ddot{U}} \wedge (A\langle + \rangle B)\right) \vee \left((A\langle - \rangle B) \wedge \ddot{U}\right) \vee 0 \\ &= \left(\overline{\ddot{U}} \wedge (A\langle + \rangle B)\right) \vee \left(\left(\overline{A\langle + \rangle B}\right) \wedge \ddot{U}\right) = A\langle + \rangle B\langle + \rangle \ddot{U} \end{aligned}$$

Die Schaltung nach Abbildung 1a realisiert also: $S_n = A\langle + \rangle B\langle + \rangle \ddot{U}$.

Abb 1b) Für Schaltung nach Abbildung 1b ergibt sich für S_n

$$\begin{aligned}
S &= A\overline{B}\overline{\ddot{U}} \vee \overline{A}B\overline{\ddot{U}} \vee \overline{A}\,\overline{B}\ddot{U} \vee AB\ddot{U} \\
&= \overline{\ddot{U}}(A\overline{B} \vee \overline{A}B) \vee \ddot{U}(\overline{A}\,\overline{B} \vee AB) \\
&= \overline{\ddot{U}}(A\langle+\rangle B) \vee \ddot{U}(A\langle-\rangle B) \\
&= \overline{\ddot{U}}(A\langle+\rangle B) \vee \ddot{U}(\overline{A\langle+\rangle B}) \\
&= \ddot{U}\langle+\rangle A\langle+\rangle B
\end{aligned}$$

b) Zu zeigen, daß $A\langle+\rangle B\langle+\rangle\ddot{U} = A\langle-\rangle B\langle-\rangle\ddot{U}$ gilt.
Am einfachsten ist es, ein Zwischenergebnis der obigen Rechnung zu verwenden, denn

$$\underbrace{\overline{\ddot{U}}(A\langle+\rangle B) \vee \ddot{U}(\overline{A\langle+\rangle B})}_{\ddot{U}\langle+\rangle A\langle+\rangle B} = \overline{\ddot{U}}(\overline{A\langle-\rangle B}) \vee \ddot{U}(A\langle-\rangle B) = \ddot{U}\langle-\rangle A\langle-\rangle B$$

Ausführlicher ist

$$\begin{aligned}
S &= A(\overline{B}\overline{\ddot{U}} \vee B\ddot{U}) \vee \overline{A}(B\overline{\ddot{U}} \vee B\ddot{U}) \\
&= A(B\langle-\rangle\ddot{U}) \vee \overline{A}(B\langle+\rangle\ddot{U}) \\
&= A(B\langle-\rangle\ddot{U}) \vee \overline{A}(\overline{B\langle-\rangle\ddot{U}}) \\
&= A\langle-\rangle B\langle-\rangle\ddot{U}
\end{aligned}$$

1c)

Die Schaltung nach Abbildung 1b ist die schnellere Schaltung, da maximal 3 Gatter vom Eingang bis zum Ausgang durchlaufen werden müssen. In der Schaltung nach Abbildung 1a hingegen werden bis zu 6 Gatter durchlaufen.

Aufgabe 2: Schaltnetz mit der Methode von Quine-McCluskey optimieren

a)

Dezimal	$X_4X_3X_2X_1$	Gruppe	Benutzt
1	0 0 0 1	1	√
8	1 0 0 0	1	√
3	0 0 1 1	2	√
6	0 1 1 0	2	√
9	1 0 0 1	2	√
10	1 0 1 0	2	√
12	1 1 0 0	2	√
11	1 0 1 1	3	√
14	1 1 1 0	3	√

Dezimal	$X_4X_3X_2X_1$	Gruppe	Benutzt
1,3	0 0 – 1	1	√
1,9	– 0 0 1	1	√
8,9	1 0 0 –	1	√
8,10	1 0 – 0	1	√
8,12	1 – 0 0	1	√
3,11	– 0 1 1	2	√
6,14	– 1 1 0	2	
9,11	1 0 – 1	2	√
10,11	1 0 1 –	2	√
10,14	1 – 1 0	2	√
12,14	1 1 – 0	2	√

Dezimal	$X_4X_3X_2X_1$	Gruppe	Benutzt
1,3,9,11	– 0 – 1	1	√
~~1,9,3,11~~	~~– 0 – 1~~	~~1~~	Doppelt
8,9,10,11	1 0 – –	1	√
~~8,10,9,11~~	~~1 0 – –~~	~~1~~	Doppelt
8,10,12,14	1 – – 0	1	√
~~8,12,10,14~~	~~1 – – 0~~	~~1~~	Doppelt
6,14	– 1 1 0	2	√

Primimplikanten sind: $X_1\overline{X_3}, \overline{X_3}X_4, \overline{X_1}X_4, \overline{X_1}X_2X_3$

b)

	1	3	6	8	9	10	11	12	14	Kernprimimplikant
6,14			•						•	Ja
1,3,9,11	•	•								Ja
8,9,10,11				•		•				Überdeckt
8,10,12,14				•		•		•	•	Ja

Wichtig: die Primimplikantentafel ist nicht zu Verwechseln mit dem KV-Diagramm.
Die Kernprimimplikanten sind: $\overline{X_1}X_2X_3, X_1\overline{X_3}, \overline{X_1}X_4$.

Überdeckt und damit gestrichen wird: $\overline{X_3}X_4$

c)

$$Y = \underbrace{\overline{X_1}X_2}_{6,14} X_3 \vee \underbrace{\overline{X_1}X_4}_{8,10,12,14} \vee \underbrace{X_1\overline{X_3}}_{1,3,9,11}$$

Aufgabe 3: Schaltwerk analysieren

a) Laut Aufgabentext sind die Ausgänge sind mit den Zustandsvariablen identisch. Das bedeutet, daß die Ausgabefunktion $\underline{Y} = (Q_0 Q_1 Q_2)$ ist. Damit hängt der Wert von $\underline{Y}$ nur von dem erreichten Zustand ab und es liegt somit ein **Moore Automat** vor.

Alle benutzten Flip-Flops erhalten den gleichen Takt. Das Schaltwerk arbeitet daher **synchron.**

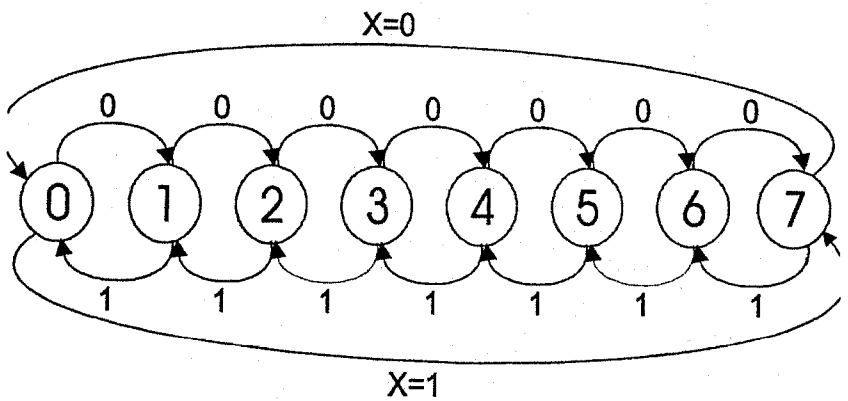
b)

$$J_0 = K_0 = 1$$
$$J_1 = K_1 = \overline{X}Q_0 \vee XQ_0 = X\langle + \rangle Q_0$$
$$J_2 = K_2 = X\overline{Q_0}\,\overline{Q_1} \vee \overline{X}Q_0 Q_1$$

c)

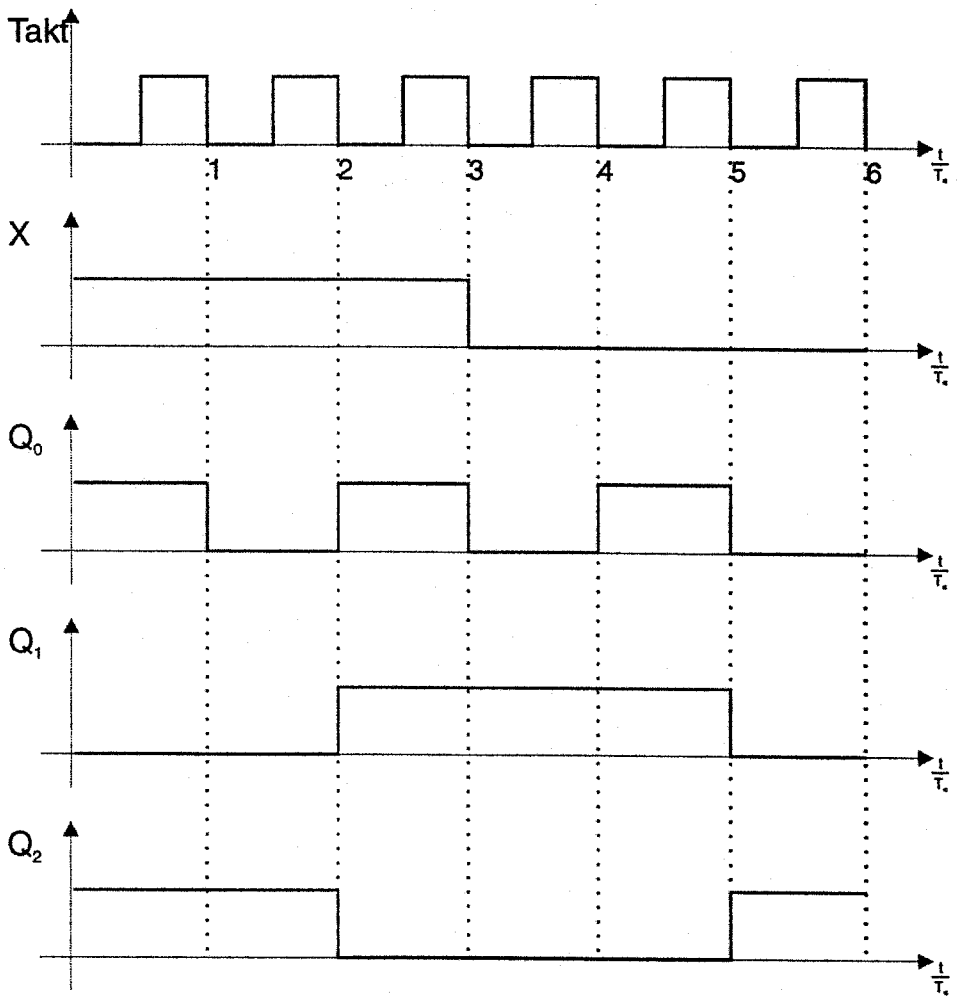
X	$\overbrace{Q_2Q_1Q_0}^{t_n}$	$J_2 = K_2$	$J_1 = K_1$	$J_0 = K_0$	$\overbrace{Q_2Q_1Q_0}^{t_{n+1}}$
0	000	0	0	1	001
0	001	0	1	1	010
0	010	0	0	1	011
0	011	1	1	1	100
0	100	0	0	1	101
0	101	0	1	1	110
0	110	0	0	1	111
0	111	1	1	1	000
1	000	1	1	1	111
1	111	0	0	1	110
1	110	0	1	1	101
1	101	0	0	1	100
1	100	1	1	1	011
1	011	0	0	1	010
1	010	0	1	1	001
1	001	0	0	1	000

d)



e) Es handelt sich um einen Modulo 8 Zähler, der bei Eingabe X=0 vorwärts und bei Eingabe X=1 rückwärts zählt.

f)



Zu beachten ist, daß die Eingabe X sich immer erst im folgenden Takt auswirkt. Daher wird auch im Takt 3 noch einmal dekrementiert. In realen Schaltungen wird verlangt, daß der Eingang X rechtzeitig vor bzw. nach den Taktflanken seinen Wert ändert und während der Zeit um die Taktflanke stabil bleibt (setuptime , holdtime). Bei den betrachteten MS-FF ist die maßgebende Flanke für die Auswertung der JK-Eingänge die positive Flanke. Daher ist der Pegelwechsel von X zum Zeitpunkt 3 erlaubt.

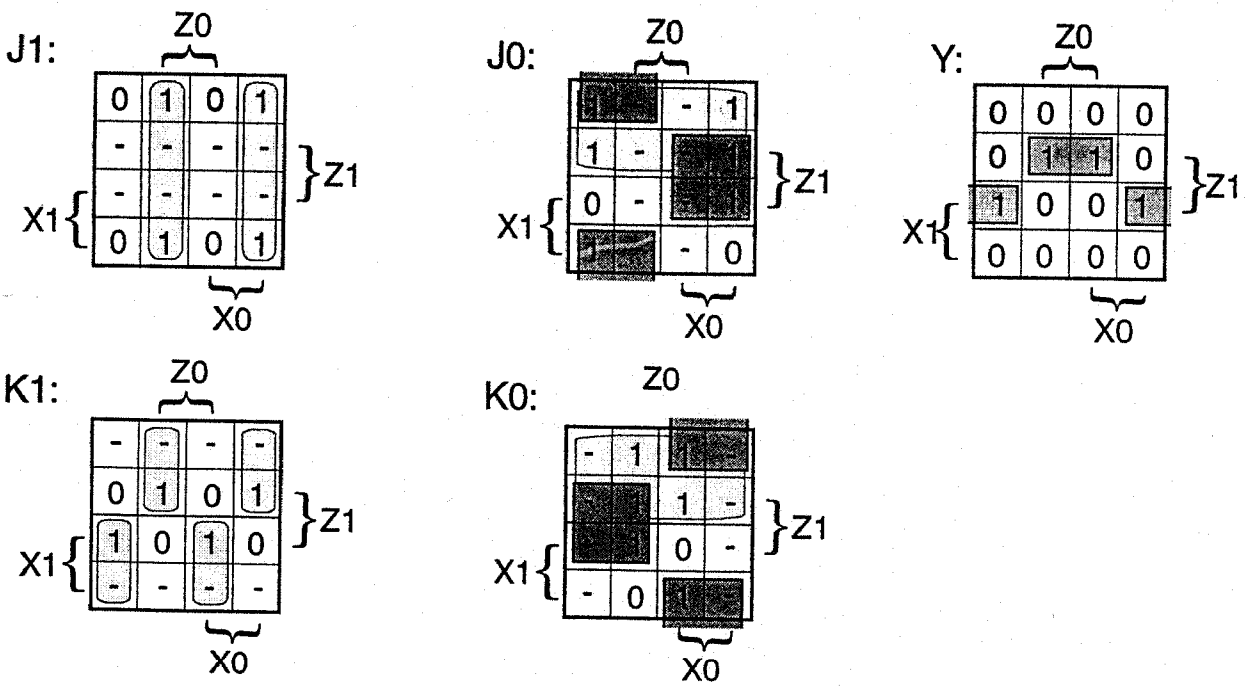
Aufgabe 4: (Schaltwerk entwerfen)

a)

Nr.	X1	X0	Z1	Z0	$Z1^+$	$Z0^+$	Y	J1	K1	J0	K0
0	0	0	0	0	0	1	0	0	-	1	-
1	0	0	0	1	1	0	0	1	-	-	1
2	0	0	1	0	1	1	0	-	0	1	-
3	0	0	1	1	0	0	1	-	1	-	1
4	0	1	0	0	1	1	0	1	-	1	-
5	0	1	0	1	0	0	0	0	-	-	1
6	0	1	1	0	0	1	0	-	1	1	-
7	0	1	1	1	1	0	1	-	0	-	1
8	1	0	0	0	0	1	0	0	-	1	-
9	1	0	0	1	1	1	0	1	-	-	0
10	1	0	1	0	0	0	1	-	1	0	-
11	1	0	1	1	1	0	0	-	0	-	1
12	1	1	0	0	1	0	0	1	-	0	-
13	1	1	0	1	0	0	0	0	-	-	1
14	1	1	1	0	1	1	1	-	0	1	-
15	1	1	1	1	0	1	0	-	1	-	0

Da das Ausgangssignal unmittelbar auch von den Eingangssignalen X1, X0 abhängt, liegt ein Mealy-Automat vor. Das Schaltwerk bildet für X1=0 einen 2-bit-Dualzähler, der für X0=0 aufwärts, für X0=1 abwärts zählt. Für X1=1 wird zyklisch die Zustandsfolge 00, 01, 11, 10 durchschritten, und zwar für X0=0 von ‚links nach rechts', für X0=1 von ‚rechts nach links' (Aufwärts/Abwärts-Zähler im Gray-Code). Y zeigt an, wenn der Zähler den jeweiligen Endzustand (Dualcode: ‚11', Gray-Code: ‚10') verläßt.

a) **Karnaugh-Diagramme:**



b)

$$J1 = (\overline{X0} \wedge Z0) \vee (X0 \wedge \overline{Z0}) = X0 \not\leftrightarrow Z0$$

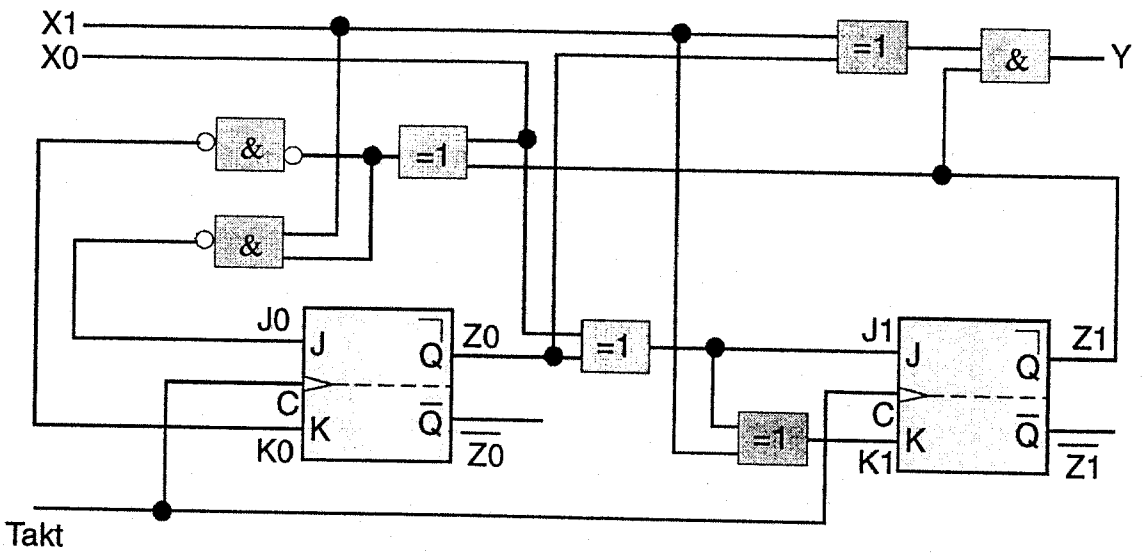
$$K1 = X1[(X0 \wedge Z0) \vee (\overline{X0} \wedge \overline{Z0})] \vee \overline{X1}[(\overline{X0} \wedge Z0) \vee (X0 \wedge \overline{Z0})] = X1 \not\leftrightarrow X0 \not\leftrightarrow Z0 = X1 \not\leftrightarrow J1$$

$$J0 = \overline{X1} \vee (X0 \wedge Z1) \vee (\overline{X0} \wedge \overline{Z1}) = \overline{X1} \vee \overline{X0 \not\leftrightarrow Z1} = \overline{X1 \wedge (X0 \not\leftrightarrow Z1)}$$

$$K0 = \overline{X1} \vee (\overline{X0} \wedge Z1) \vee (X0 \wedge \overline{Z1}) = \overline{X1} \vee (X0 \not\leftrightarrow Z1) = \overline{X1 \wedge \overline{(X0 \not\leftrightarrow Z1)}}$$

$$Y = \overline{X1} \wedge Z1 \wedge Z0 \vee X1 \wedge Z1 \wedge \overline{Z0} = Z1 \wedge (X1 \not\leftrightarrow Z0)$$

c) Schaltplan



Aufgabe 5: Boole'sche Funktionen (Kurs 1701)

a)

Wahrheitstafel der Funktion Y

X1	X2	X3	Y	Produktterme der KDNF für Y
0	0	0	0	
0	0	1	0	
0	1	0	0	
0	1	1	0	
1	0	0	1	$X_1 \wedge \overline{X_2} \wedge \overline{X_3}$
1	0	1	1	$X_1 \wedge \overline{X_2} \wedge X_3$
1	1	0	1	$X_1 \wedge X_2 \wedge \overline{X_3}$
1	1	1	1	$X_1 \wedge X_2 \wedge X_3$

Die KDNF von Y lautet:

$$X_1\overline{X_2}\,\overline{X_3} \vee X_1X_2\overline{X_3} \vee X_1\overline{X_2}X_3 \vee X_1X_2X_3$$

b) Bei dieser Aufgabe gab es leider ein drucktechnisches Problem. Der zweite Produktterm $\overline{a}\,\overline{c}\,d$ in der Gleichung für Y_2 ist in vielen Klausurexemplaren nur als $\overline{acd}$ (a und c gemeinsam negiert) lesbar gewesen. Aus diesem Grunde werden zwei Lösungen angeboten.

Man muß zunächst die beiden Gleichungen für Y_1 und Y_2 in eine DNF umformen. *Es genügt nicht nur, die unterschiedlichen Terme in der Aufgabe zu untersuchen !*

Begründung an einem Beispiel:

$$F_1 = a \vee ac = a, F_2 = a \vee ab = a \Rightarrow F_1 = F_2$$
$$\text{aber } ac \neq ab$$

Version $\overline{a}\,\overline{c}\,d$ $(\overline{a} \wedge \overline{c} \wedge d)$**:** Expansion der Produkte in Minteme

$$\begin{aligned} Y_1 = {} & \overline{a}\,\overline{b}\,\overline{c}\,\overline{d} \vee \overline{a}\,\overline{b}\,\overline{c}\,\overline{d} \vee \overline{a}\,\overline{b}cd \vee \overline{a}\,\overline{b}c\,\overline{d} \\ & \vee \overline{a}\,\overline{b}\,\overline{c}d \vee \overline{a}b\overline{c}d \vee \overline{a}\,\overline{b}\,\overline{c}d \vee \overline{a}bcd \\ & \vee ab\overline{c}d \vee abcd \vee \overline{a}\,\overline{b}cd \vee \overline{a}\,\overline{b}c\,\overline{d} \end{aligned}$$

$$\begin{aligned} Y_2 = {} & \overline{a}\,\overline{b}\,\overline{c}d \vee \overline{a}bcd \vee ab\overline{c}d \vee abcd \\ & \vee \overline{a}b\overline{c}d \vee \overline{a}\,\overline{b}\,\overline{c}d \vee \overline{a}\,\overline{b}\,\overline{c}d \vee \overline{a}\,\overline{b}c\,\overline{d} \\ & \vee \overline{a}\,\overline{b}cd \vee \overline{a}\,\overline{b}\,\overline{c}\,\overline{d} \end{aligned}$$

Ein Vergleich der Minterme von Y_1 und Y_2 zeigt, daß die beiden Funktionen nicht identisch sind.

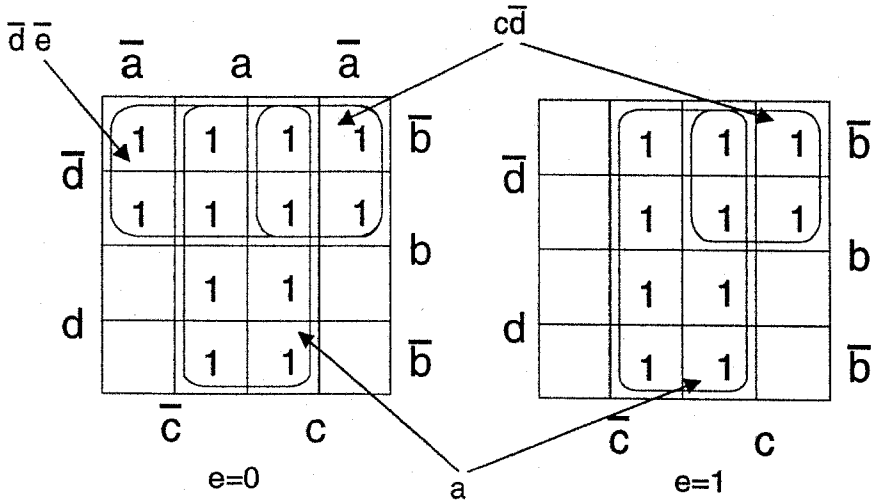
Version $\overline{ac}d$ $(\overline{a \wedge c} \wedge d)$:

$$
\begin{aligned}
Y_1 = {} & \left(a\bar{b}\bar{c}\bar{d} \vee \bar{a}\bar{b}\bar{c}\bar{d}\right) \vee \left(\bar{a}b\bar{c}\bar{d} \vee \bar{a}b\bar{c}d\right) \\
& \vee \left(a\bar{b}\bar{c}d \vee ab\bar{c}d\right) \vee \left(\bar{a}b\bar{c}d \vee \bar{a}bcd \vee ab\bar{c}d \vee abcd\right) \\
& \vee \left(\bar{a}\bar{b}c\bar{d} \vee \bar{a}\bar{b}cd\right)
\end{aligned}
$$

$$
\begin{aligned}
Y_2 &= bd \vee \overline{ac}d \vee a\overline{bc} \vee \overline{ab}c \\
&= bd \vee \left(\bar{a} \vee \bar{c}\right)d \vee a\overline{bc} \vee \overline{ab}c \\
&= bd \vee \bar{a}d \vee \bar{c}d \vee a\overline{bc} \vee \overline{ab}c \\
&= \left(abcd \vee \bar{a}bcd \vee ab\bar{c}d \vee \bar{a}b\bar{c}d\right) \\
&\quad \vee \left(\bar{a}bcd \vee \bar{a}\bar{b}cd \vee \bar{a}b\bar{c}d \vee \bar{a}\bar{b}\bar{c}d\right) \\
&\quad \vee \left(ab\bar{c}d \vee \bar{a}b\bar{c}d \vee a\bar{b}\bar{c}d \vee \bar{a}\bar{b}\bar{c}d\right) \\
&\quad \vee \left(a\bar{b}\bar{c}d \vee a\bar{b}\bar{c}\bar{d}\right) \vee \left(\bar{a}\bar{b}cd \vee \bar{a}\bar{b}c\bar{d}\right)
\end{aligned}
$$

Auch hier gilt: $Y_1 \neq Y_2$, da bspw. der Term $\bar{a}\bar{b}\bar{c}\bar{d}$ aus Y_1 nicht in Y_2 vorkommt.

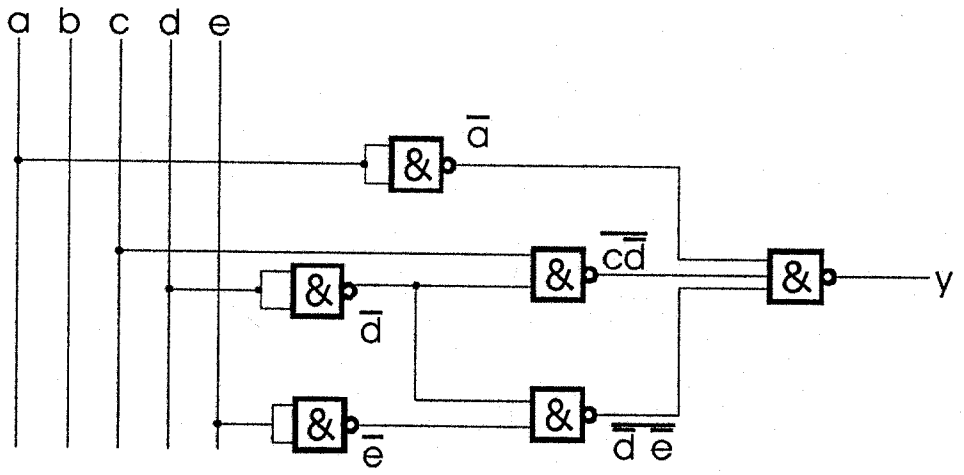
c) (i) Gesucht war ein KV-Diagramm für 5 Variable a-e und dessen Auswertung.



$$Y = a \vee c\bar{d} \vee \bar{d}\bar{e}$$

c) (ii) Um aus einer DNF zu einer NAND-Darstellung zu gelangen, reicht es aus die Funktion zweimal zu negieren und nur die "innere Negation" gemäß De Morgan aufzulösen, und zwar so, daß invertierte Produktterme nicht vereinfacht werden.

$$Y = a \vee c\bar{d} \vee \bar{d}\bar{e} = \overline{\overline{a \vee c\bar{d} \vee \bar{d}\bar{e}}} = \overline{\bar{a} \wedge \overline{c\bar{d}} \wedge \overline{\bar{d}\bar{e}}}$$



Aufgabe 5: Mikroprozessor Grundlagen (Kurs 1707)

a)

Adresse \ X	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
F700 802X	00	6F	F9	FE	5D	43	AC	56	5F	EE	78	98	BC	76	5F	67
F700 801X	44	DE	FC	56	6F	ED	E3	21	FC	33	FF	[illegible]	AA	54	78	00
F700 800X	3A	CC	54	FF	ED	CC	52	AA	B6	B7	B8	54	43	32	DD	DE
30AB A03X	66	DC	DD	AD	DA	CC	54	F5	[illegible]	[illegible]	[illegible]	[illegible]	FC	FC	CD	DC
30AB A02X	66	77	FD	DF	ED	4E	4D	D3	55	DC	AD	DE	EF	FF	65	DC
30AB A01X	2A	B0	7F	F8	55	66	DF	FD	FF	FC	CD	ED	DF	DE	55	3A
30AB A00X	CF	AA	55	00	11	FF	FC	CD	ED	DA	55	DE	DD	DA	AA	DC
2AB0 7FFX	55	66	DC	DE	AE	DE	4E	BD	DC	5E	4A	56	DE	DF	DD	EF
2AB0 7FEX	60	FF	F1	F4	EC	55	5F	78	BB	BA	FD	E3	D4	63	DF	77

i) Maximale Größe und Lage der IVT im Speicher:

Max. Größe: 4x256 = 1024 byte, Anfangsadr.: $30AB A000, Endadr.: $30AB A3FF.
(Jede Adresse besteht aus 32 bit, also ist jeder Eintrag der IVT 4 byte groß.)

ii)

IVN (dez.)	Startadresse des Int.-Vektors in IVT	Startadresse der ISR	1. OpCode-Byte der ISR
7	30AB A01C	2AB0 7FF8	BD
13	30AB A034	F700 8014	37

b)

i) R0 = ($CD70, $5F8C, $0DC5, $95F4), R1 = ($B5F0, $FFFF, $105A, $94FF)

R2 := R0 > R1 = ($FFFF, $0000, $0000, $FFFF)
R3 := R2 -∧ R0 = ($0000, $5F8C, $0DC5, $0000)
R4 := R2 ∧ R1 = ($B5F0, $0000, $0000, $94FF)
R5 := R3 ∨ R4 = ($B5F0, $5F8C, $0DC5, $94FF)

ii) Die Operationsfolge berechnet elementeweise die Minima der (als vorzeichenlose Zahlen aufgefaßten) 16-bit-Wörter in R0 und R1 und schreibt diese Werte nach R5.

iii) Es reicht, in der zweiten und dritten Operation R0 und R1 zu vertauschen.

c) $Z = \$1750 = (0001\ 0111\ 0101\ 0000)_2 = (1.011101010....)_2 * 2^{-4}$

(um 4 Stellen nach links verschieben)

$\Rightarrow Z' = (-1)^0 * (1.011101010.....)_2 * 2^{-4+127} = \$3DBA\ 8000.$

Bit 31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	1	1	1	1	0	1	1	0	1	1	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VZ Charakteristik Mantissenteil